



(19)

(11) Publication number:

63090138 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 61234600

(51) Int'l. Cl.: H01L 21/316 H01L 21/304

(22) Application date: 03.10.86

(30) Priority:

(43) Date of application publication: 21.04.88

(84) Designated contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: MURAKAMI HIDEKAZU
KIMURA SHINICHIRO
SHIGENIWA MASAHIRO
KETSUSAKO MITSUNORI

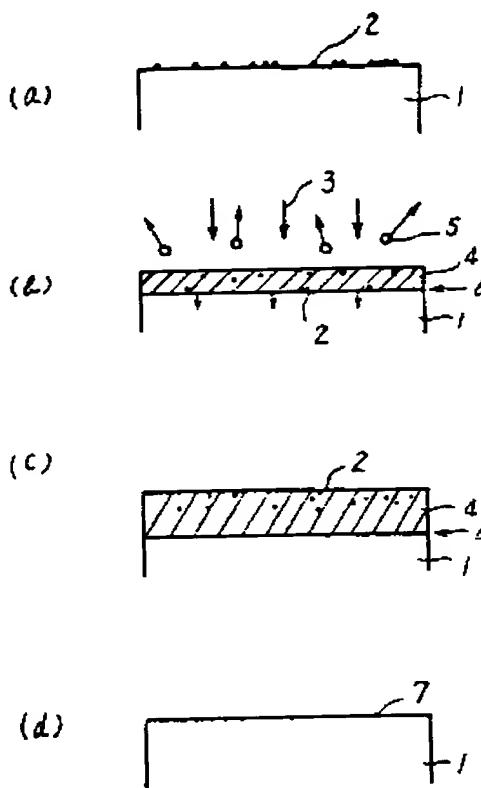
(74) Representative:

(54) METHOD FOR CLEANING SEMICONDUCTOR SURFACE

(57) Abstract:

PURPOSE: To improve the reliability and efficiency of a cleaning method using an oxide film in such a way that the ultra-thin oxide film is formed on the surface of a semiconductor by means of a dry-type low-pressure process which matches well with an ultra-high vacuum system.

CONSTITUTION: If O₂ is transformed into a plasma state, its molecule is dissociated to become active, and an Si surface can be oxidized at a low pressure and without heating. Absorbed carbon 2 escapes after being transformed into CO₂ and CO₅ or is taken into SiO₂, but cannot reach the interface with the Si. The gas pressure in a surface-treatment chamber is evacuated differentially by installing an orifice between a plasma source and the chamber and can be reduced down to 10⁻⁴ Pa. If the electric discharge by means of electron cyclotron resonance absorption of μ waves is used, a plasma can be generated stably at 10⁻² Pa without differential evacuation and the transfer time to an ultra-high vacuum system after treatment can be shortened. If the amount of the active O₂ is controlled by differential evacuation or pulse discharge, an SiO₂ film of less than 20 \AA can be formed with good reproducibility. If a processed specimen is heated at over 700 °C in an ultra-high vacuum, the SiO₂ film is removed and the clean Si surface can be obtained.



⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
⑰ 公開特許公報 (A) 昭63-90138

⑯ Int.Cl.
H 01 L 21/316
21/304

識別記号 廳内整理番号
6708-5F
D-7376-5F

⑮ 公開 昭和63年(1988)4月21日
審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 半導体表面の清浄化方法

⑰ 特願 昭61-234600
⑰ 出願 昭61(1986)10月3日

⑰ 発明者 村上 英一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑰ 発明者 木村 紳一郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑰ 発明者 茂庭 昌弘 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑰ 発明者 藤迫 光紀 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑰ 代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

半導体表面の清浄化方法

2. 特許請求の範囲

1. 半導体表面に酸化膜を形成し、これを700°C以上の加熱により除去して清浄表面を得る半導体表面の清浄化方法において、該酸化膜をプラズマ酸化を用いて形成することを特徴とする半導体表面の清浄化方法。

2. 特許請求の範囲第1項記載の半導体表面の清浄化方法において、差動排気によりプラズマ処理室の圧力を10⁻⁴ Pa以下に保つことを特徴とする半導体表面の清浄化方法。

3. 特許請求の範囲第1項記載の半導体表面の清浄化方法において、プラズマを断続的に半導体表面に照射することを特徴とする半導体表面の清浄化方法。

4. 特許請求の範囲第1項記載の半導体表面の清浄化方法において、マイクロ波の電子サイクロトロン共鳴吸収により生成したプラズマを用い

ることを特徴とする半導体表面の清浄化方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体表面の清浄化方法に係り、特にエピタキシャル成長の前処理に好適な清浄化方法に関する。

〔従来の技術〕

近年、LSIの高集成化、高機能化を目的として、素子の微細化が進められると共に3次元積層化が検討されている。これらの実現には、半導体中の不純物分布の精密制御が不可欠であり、不純物再拡散を誘発する高温プロセス技術を低温化する必要がある。

従来、1000°C以上の高温を要していたSiのエピタキシャル成長については、分子線エピタキシャル法(MBE法)により、600°C以下の単結晶成長が実現されてきている。また素子積層の基本構造であるSOI(Silicon On Insulator)構造を実現する手段として非晶質Siの固相エピタキシャル成長法が有力視されて

いるが、この方法も 600°C 以下の低温化が可能である。

上記、低温エピタキシャル法に、共通の課題は Si 表面の清浄化であり、超高真空の利用による残留ガス量の低減と共に、基板表面の炭素吸着層や自然酸化膜の低温除去が不可欠である。

現在、特に大気による炭素汚染を防ぐ方法として、Si 表面を清浄化した後、20A 以下の酸化膜を形成して、炭素吸着を抑制しておき、膜の堆積直前に超高真空中で 700°C 以上に加熱して、酸化膜を除去してしまう方法が広く用いられている。酸化膜の形成法としては、HCl と、HNO₃ あるいはオゾンを含んだ液体中の酸化が用いられている他、大気中での紫外線照射法も提案されている。(田部、応用物理 53 (11) 975 (1984).)

[発明が解決しようとする問題点]

上記、溶液酸化法いわゆる湿式プロセスであり、処理後、真空装置に導入するまでに試料を大気にさらすことになる。また、紫外線照射法について

でも安定に放電を維持できる点、本目的に適している。

[作用]

酸化性ガスを放電させ、プラズマ状態とすると、例えば、酸素では数十もの分子が解離して、化学的に活性となるため、低ガス圧下で、かつ加熱なしで、Si 表面を酸化することができる。吸着炭素は、酸化されて CO₂、CO となつて脱離するか、酸化膜中にとり込まれる。(第 1 図(b)) ただし、酸化は酸化種が膜中を拡散して SiO₂ / Si 界面に供給されることによつて進むため、表面汚染は界面にまで及ぶ心配が少ない。これは、プラズマ酸化の場合にも言えることである。従つて、プラズマ酸化によつて、吸着炭素の一部を除去するとともに清浄な界面を有する酸化膜を高真空界圏気中で得ることができる。(第 1 図(c))

半導体表面処理室のガス圧は、プラズマ源との間にオリフィスを設けて差動排気すれば、10⁻⁴ Pa 程度にまで低くすることができる。さらに、

プラズマ源として磁場を用いた、マイクロ波の電

も、乾式プロセスではあるが、圧力の高いガス界圏気が必要な点、超高真空装置との整合性は十分でない。従つて、処理に時間がかかる、表面炭素除去が不十分であるなどの問題点があつた。

そこで、本発明の目的は、超高真空装置との整合性のよい乾式低圧プロセスによつて、半導体表面に極薄酸化膜を形成する方法を提供し、酸化膜を利用した清浄化法の信頼性および効率の向上をはかることにある。

[問題点を解決するための手段]

上記目的は、高真空装置内で、酸化性ガスを放電させ、プラズマとして、半導体表面に照射するプラズマ酸化法を用いることにより達成される。

超高真空との整合性および 20A 以下の膜厚の制御性は、プラズマ処理室をプラズマ源に対し差動排気することで実現できる。膜厚の制御には、パルス放電を用いて、断続的にプラズマを試料に照射する方法も有効である。

なおマイクロ波の電子サイクロトロン共鳴吸収を用いたプラズマ源は、10⁻² Pa 程度のガス圧

子サイクロトロン共鳴吸収による放電を使うことにより、差動排気をしても 10⁻² Pa の真空中で、プラズマを安定に生成できる。これは、プロセスの低圧下に有効である。

プラズマ処理室を 10⁻⁴ Pa 程度の真空中に保つておけば処理後、超高真空装置への搬送が短時間化できる。

さらに、差動排気を用いるか、あるいは、パルスモードで放電を起こすようにして、Si 表面に到達する活性酸素量を制御すれば、20A 以下の酸化膜でも再現性よく形成することができる。

上記処理を行つた試料を、超高真空中で、700°C 以上に加熱すれば、酸化膜は除去され、清浄な半導体表面が得られる。(第 1 図(d)) この際、プラズマ酸化膜は、低温(プラズマ照射のみで～200°C)で形成した場合、600°C 以上で形成した場合に比べ、エッティング速度の大きい粗な構造となつてゐるため、加熱除去をより低温で行うことができる。

[実施例]

以下、本発明を実施例に基き説明する。

〔実施例1〕

まず、本発明の清浄化法を分子線エピタキシー(MBE)法によるSiのエピタキシャル成長に応用した例について説明する。

第2図は本実施例で用いたMBE装置の概略を示したものである。フッ酸により自然酸化膜を除去した後、エントリーロック21よりSiウェハーを挿入し、10⁻⁹Pa以下まで排気する。ウェハーをプラズマ処理部22に搬送し、約5分間の酸素プラズマ照射を行つた。プラズマ源23は、マイクロ波の電子サイクロトロン共鳴吸収を用いたもので、酸素ガス圧10⁻⁸Pa、処理室は差動排気により10⁻⁴Pa以下に保たれている。再び10⁻⁹Paまで真空排気した後、ウェハーを高温加熱ステージ24に移し、750°C 30分の加熱を行つた。

第3図に処理の各段階でのオージエスペクトルを示した。ウェハーソー入直後(a)に見られる吸着炭素からの信号は、酸素プラズマ処理によつて、

上記、試料を、微小領域反射電子線回折で調べたところ、約4μmの単結晶膜がSiO₂膜上に成長していることが確認できた。

以上の例では、酸化膜形成前の清浄化処理を湿式で行つたが、酸化性ガスの代わりに、ハロゲン系、水素などのエッティングガスを用いた乾式処理を用いることも可能である。その場合、ドライエッチで生じる可能性のあるSiウェハーの残留欠陥をひき続くプラズマ酸化工程で除去することができるため、両者は相補的となり有効である。

〔発明の効果〕

本発明によれば、乾式低圧プロセスによつて、試料を大気にさらさず、かつ超高真空装置と整合性よく、半導体表面に清浄な極薄酸化膜を形成でき、酸化膜を用いた表面清浄化法の、信頼性および効率の向上に効果がある。

さらに、ハロゲン系、水素などのガスを用いたドライエッティング技術との併用が容易である点、酸化膜形成前の清浄化が完全に乾式化できる。

4. 図面の簡単な説明

減少し(b)、加熱処理によつて、酸素ピークと共に完全に消失しており(c)、本方法が吸着炭素除去に有効であることを示している。

次に、プラズマ処理後のウェハーを直ちに、堆積室26に搬送し、同様の加熱処理後、基板温度600°Cでエピタキシャル成長させた。結晶の軸位密度は、(100)基板に対し100cm⁻²以下となり、1000°C以上の高温加熱処理によるエピタキシャル成長の場合に匹敵する品質の結晶が得られた。

〔実施例2〕

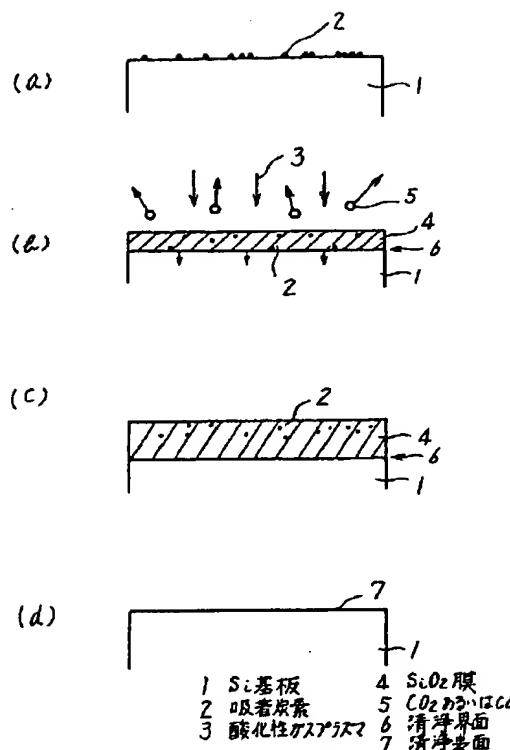
次に、本発明を、固相エピタキシャル成長(SPE)法によるSOI構造の形成に用いた例について述べる。

第4図に示すような、SiO₂膜42を有するSi基板41に対し、実施例1で述べた酸素プラズマ処理を行い、酸化膜を加熱除去した後、基板温度200°Cで非晶質Si膜43を堆積した。続いて、600°C、5時間の窒素雰囲気中熱処理を行つた。

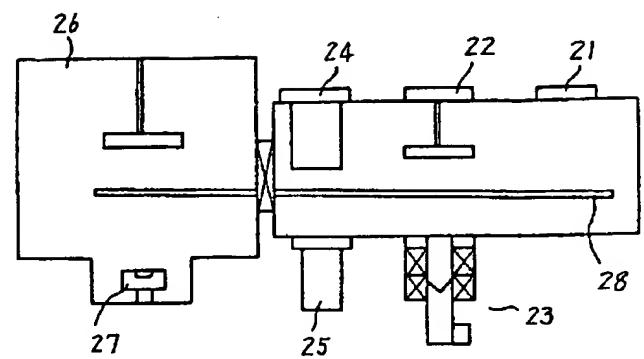
第1図は本発明を説明するための工程図、第2図は、Siエピタキシャル成長装置の構成図、第3図は、Si基板からのオージエスペクトル、第4図は、SOI構造形成用試料の断面図である。3…酸化性ガスプラズマ、4…SiO₂膜、5…CO₂あるいはCO、6…清浄界面、7…清浄界面。

代理人弁理士 小川勝男

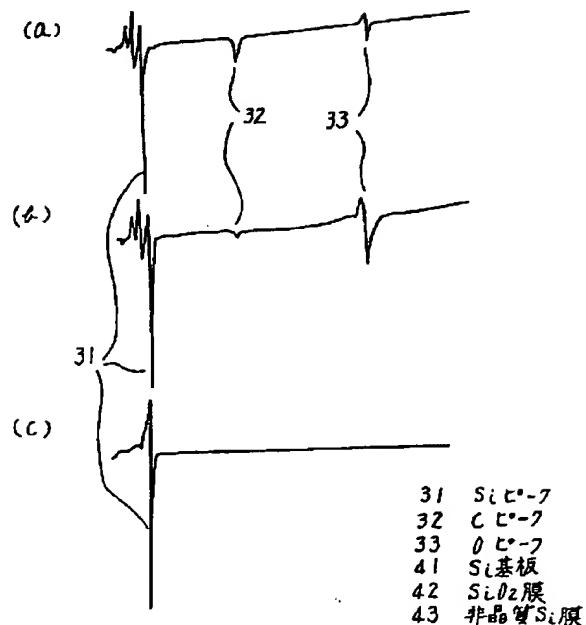
第 1 図



第 2 図



第 3 図



第 4 図

